
Zentralübung Rechnerstrukturen: Vektorrechner und Cache-Kohärenz

Aufgabenblatt 7

1 Vektorrechner

Gegeben Sei folgendes Fragment eines C-Programmes:

```
int i;
int a[n], b[n];

for (i = 0; i < n; i++)
{
    if (a[i] < b[i])
    {
        b[i] = i;
    }
}
```

- a) Realisieren Sie diese Code-Fragment mittels Vektorbefehlen. Gehen Sie bei Ihren Überlegungen davon aus, dass ein Vektorregister je alle n Werte der Arrays a oder b aufnehmen kann. Die Vektorbefehle finden sie in Foliensatz 6 der Vorlesungsfolien auf den Folien 28f.

2 Cache: Grundlagen

2.1 Cacheleistung I

Bei dem Entwurf eines Systems stehen zwei Entwurfsalternativen zur Auswahl. In beiden Entwurfsalternativen kommt eine zwei-stufige Cache-Hierarchie zum Einsatz. Entwurfsalternative A hat einen kleinen L1-Cache mit einer Zugriffszeit von $t_{A-L1} = 10ns$, sowie einen L2-Cache mit einer Zugriffszeit von $t_{A-L2} = 30ns$. In Entwurfsalternative B ein größerer L1-Cache mit einer Zugriffszeit von $t_{B-L1} = 12ns$ zum Einsatz, sowie ein L2-Cache mit einer Zugriffszeit von $t_{B-L2} = 25ns$. Die Zugriffszeit des Hauptspeichers sei in beiden Entwurfsalternativen gleich und betrage $t_{Mem} = 100ns$.

- a) Geben Sie eine allgemeine Formel zur Berechnung t_a der mittleren Zugriffszeit in einer zwei-stufigen Cache-Hierarchie an.
- b) Bei der Evaluation beider Entwurfsalternativen wurden folgende Hit-Raten gemessen:
 - Alternative A: $r_{A-L1} = 70\%$, sowie $r_{A-L2} = 40\%$
 - Alternative B: $r_{B-L1} = 75\%$, sowie $r_{B-L2} = 35\%$

Für welche Entwurfsalternative würden Sie sich entscheiden? Begründen Sie ihre Antwort.

2.2 Cacheleistung II

Bei dem Entwurf eines Systems stehen zwei Entwurfsalternativen zur Auswahl. In beiden Entwurfsalternativen kommt eine zwei-stufige Cache-Hierarchie zum Einsatz.

Entwurfsalternative A hat einen größeren L1-Cache mit einer Zugriffszeit von $t_{A-L1} = 2,5ns$, Entwurfsalternative B besitzt einen kleineren L1-Cache mit einer Zugriffszeit von $t_{B-L1} = 2ns$. Beide Entwurfsalternativen besitzen einen L2-Cache mit $t_{L2} = 10ns$. Die Zugriffszeit des Hauptspeichers sei in beiden Entwurfsalternativen gleich und betrage $t_{Mem} = 100ns$.

Um die Leistung der Cache-Hierarchie zu steigern, wird bei Entwurfsalternative B alle Hierarchieebenen parallel angefragt. Bei Entwurfsalternative A findet ein Zugriff auf die nächste Hierarchieebene erst statt, wenn die vorherige Ebene das angeforderte Datum nicht gespeichert hat.

- a) Bei der Evaluation beider Entwurfsalternativen wurden folgende Hit-Raten gemessen:
 - Alternative A: $r_{A-L1} = 80\%$, sowie $r_{A-L2} = 90\%$
 - Alternative B: $r_{B-L1} = 70\%$, sowie $r_{B-L2} = 90\%$

Für welche Entwurfsalternative würden Sie sich aus Gründen der Leistung entscheiden? Begründen Sie ihre Antwort.

2.3 Beweise

Beweisen oder widerlegen Sie folgende Behauptungen:

- a) Eine Erhöhung der Assoziativität eines Caches zieht immer eine Verringerung der Miss-rate nach sich.
- b) Vollasoziative Caches haben satzassoziativen Caches gegenüber immer eine niedrigere Miss-Rate.

Hinweis: Gehen Sie in ihren Überlegungen davon aus, dass die Caches gemäß Least-Recently-Used-(LRU)-Strategie verdrängen.

2.4 Verständnisfragen

- a) Welche Eigenschaft von Anwendungen werden von Caches ausgenutzt?
- b) Welche Arten von Cache-Misses können unterschieden werden?
- c) Warum ist der Aufbau des Hauptspeichers aus SRAM-Zellen nicht sinnvoll?

3 Cache-Kohärenzprotokolle

3.1 MESI

Ein Multiprozessorsystem besteht aus drei Prozessoren, die über einen gemeinsamen Speicher gekoppelt sind. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile an aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz.

- a) Vervollständigen Sie die gegebene Tabelle. Geben Sie jeweils Inhalt der Cachezeile und MESI-Zustand an.

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-	-	-
1	rd 6						
2	rd 2						
1	rd 4						
3	rd 4						
2	rd 3						
3	wr 7						
1	wr 4						
2	rd 7						
3	wr 5						
1	rd 3						
3	wr 3						
2	wr 7						

3.2 MOESI

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz. Der Cache sei initial leer.

Das MOESI-Protokoll ist ein um einen weiteren Zustand *O* erweitertes MESI-Protokoll. Dieser Zustand beschleunigt den Zugriff auf Daten, die in entfernten Caches bereits als modifiziert gekennzeichnet sind, indem die Daten direkt vom Cache des ersten Prozessorkerns in den Cache des zweiten Prozessorkerns transferiert werden. Dies erspart das Zurückschreiben und das Lesen der modifizierten Daten in den Hauptspeicher.

Wird ein in einem Cache bereits modifiziertes Datum von einem weiteren Cache gelesen, so wechselt der Cache mit dem modifizierten Datum von Zustand *M* in den Zustand *O*. Der

lesende Cache übernimmt das Datum aus dem Cache des ersten Prozessors und lagert das Datum, gemäß MESI-Protokoll, als Shared S markiert ein. Werden die Daten in Caches mit dem Zustand S modifiziert, so wird das Datum in den anderen Caches invalidiert (Zustand I) und in den Zustand M gewechselt.

- Erweitern Sie den aus der Vorlesung bekannte MESI-Zustandsautomat um die oben beschriebene Erweiterung zum MOESI-Zustandsautomat.
- Vervollständigen Sie die unten gegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an.
- Wieviele Hauptspeicherzugriffe werden durch diese Speicherzugriffsfolge verursacht? Führt hier die Verwendung des MOESI gegenüber des MESI-Protokolls zu einer Leistungssteigerung und wenn ja, warum?

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-	-	-
1	rd 4						
3	rd 4						
2	rd 3						
2	wr 5						
1	rd 2						
2	wr 4						
2	rd 1						
3	rd 4						
3	rd 3						
1	wr 1						
3	rd 1						

3.3 Verständnisfragen

- Warum existiert im MOESI-Protokoll kein Zustandsübergang vom Zustand S nach Zustand O ?
- Warum läßt sich MESI nicht in Distributed Shared Memory (DSM) Systemen einsetzen?
- Welche Protokolle stellen in DSM-Systemen die Cache-Kohärenz sicher?